

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06208424 A**(43) Date of publication of application: **26 . 07 . 94**

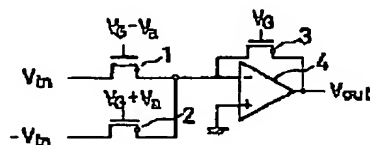
(51) Int. Cl

**G06F 1/02****G09G 1/00****G09G 1/04****G09G 1/16****H04N 3/23****// G06F101:18**(21) Application number: **05001272**(71) Applicant: **SEIKO INSTR INC**(22) Date of filing: **07 . 01 . 93**(72) Inventor: **YAMAMOTO YUJI****(54) FUNCTION GENERATING CIRCUIT****(57) Abstract**

**PURPOSE:** To obtain a square output of an input signal by impressing input voltage with mutually inverted phases to an input and impressing the input voltage with mutually inverted phases also to gate voltage by using a MOS transistor(TR) capable of controlling a resistance value by the gate voltage as a resistor in an adder using a resistor and an operational amplifier.

**CONSTITUTION:** A MOS TR 3 for a feedback resistor is connected between the inverted input terminal of an operational amplifier 4 and an output. The sources of MOS TRs 1, 2 are connected to the inverted input terminal in common, a positive phase input signal and an inverted phase input signal are respectively applied to the drains of the TRs 1, 2 and the inverted phase input signal and the positive phase input signal are respectively applied to their gates.

COPYRIGHT: (C)1994,JPO&amp;Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-208424

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 1/02		7165-5B		
G 0 9 C 1/00	K	9060-5G		
	H	9060-5G		
1/04		9060-5G		
1/16	A	9060-5G		

審査請求 未請求 請求項の数2 OL (全6頁) 最終頁に続く

(21)出願番号 特願平5-1272

(22)出願日 平成5年(1993)1月7日

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 山本 有二

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

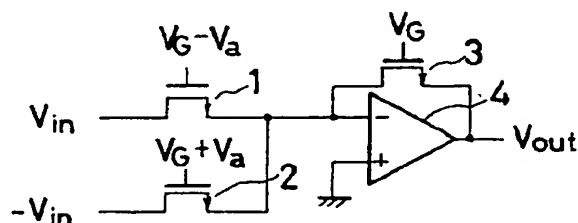
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 関数発生回路

(57)【要約】

【目的】 抵抗とオペアンプを用いた加算回路において、抵抗値がゲート電圧で制御できるMOSトランジスタを抵抗として用いて、入力に各々逆位相の入力電圧を加え、ゲート電圧にも各々逆位相の入力電圧を加えて利得制御を行い、入力信号の2乗出力を得る。

【構成】、オペアンプ4の反転入力端子と出力の間には帰還抵抗用のMOSトランジスタ3を接続する。MOSトランジスタ1、2のソースは反転入力端子に共通に接続し、ドレインには各々入力信号の正位相、逆位相の信号を加え、ゲートには各々入力信号の逆位相、正位相の信号を加える。



## 【特許請求の範囲】

【請求項1】 第1の入力端子にドレインを接続した第1のMOSトランジスタと、第2の入力端子にドレインを接続した第2のMOSトランジスタと、前記第1のMOSトランジスタのソースと前記第2のMOSトランジスタのソースを共通にして反転入力端子を接続し、基準電圧を非反転入力端子に接続した演算増幅器と、前記反転入力端子に第1の端子を接続し、前記演算増幅器の出力端子に第2の端子を接続した抵抗要素とで構成され、前記第1のMOSトランジスタのゲートが第3の入力端子に接続され、前記第2のMOSトランジスタのゲートが第4の入力端子に接続されることを特徴とする関数発生回路。

【請求項2】 信号を入力する第1の入力端子、第1の基準電圧を入力する第2の入力端子、第2の基準電圧を入力する第3の入力端子及び、第3の基準電圧を入力する第4の入力端子と、前記入力端子群に入力された信号を順次切り換える第1、第2、第3、第4、第5、第6のスイッチと、前記スイッチによって選択された信号を入力する、第1、第2の差動増幅器と、前記第1、第2の差動増幅器の出力をそれぞれ入力する、第1、第2の抵抗群からなる2つの分圧器に第1、第2及び第3、第4の出力端子をつけ、前記第2の出力端子にドレインを接続した第1のMOSトランジスタと、前記第4の出力端子にドレインを接続した第2のMOSトランジスタと、前記第1のMOSトランジスタのソースと前記第2のMOSトランジスタのソースを共通にして反転入力端子を接続し、第4の基準電圧を非反転入力端子に接続した演算増幅器と、前記反転入力端子に第1の端子を接続し、前記演算増幅器の出力端子に第2の端子を接続した抵抗要素とで構成され、前記第1のMOSトランジスタのゲートが前記第3の出力端子に接続され、前記第2のMOSトランジスタのゲートが前記第1の出力端子に接続されることを特徴とする関数発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、テレビ、コンピュータなど、画像または文字を表示するシステムで使われるCRTの偏向電流の歪み補正回路に用いられる、特に、MOS型の半導体集積回路装置して実施するのに適した関数発生回路に関する。

## 【0002】

【従来の技術】従来、CTEの偏向電流の歪み補正回路としては、例えば、日本放送協会編「NHKテレビ技術教科書（上）」P.233～P.234(1989)に見られるように、偏向コイルとキャパシタとの共振を利用して、歪み補正波形としての2乗波形（パラボラ波形）を得る回路方式が知られていた。

## 【0003】

【発明が解決しようとする課題】パソコンやワークステ

ーション等のCRTディスプレイモニタではテレビと異なり、偏向周波数が数種類用意される場合があり、この場合前記した従来の回路方式では、偏向周波数の変化に伴い、歪み補正波形の振幅が変化してしまう。また、偏向周波数を検出し、検出した出力でスイッチを切り換え、キャパシタなどの定数を切り換えることで対応しているため、多くの個別部品を使用しており、集積回路化には適していない。

【0004】一方、必要な歪み補正波形の振幅は使用されるCRTの管面の形状によって決まっており、偏向周波数の変化によらず一定の振幅が必要となる。本発明は、集積回路化に適し、偏向周波数の変化によらず一定振幅の歪み補正波形を発生する回路を提供する。

## 【0005】

【課題を解決するための手段】本発明は、2つのMOSトランジスタのソース電極をオペアンプの反転入力端子に共通に接続し、オペアンプの出力端子と、反転入力端子とを抵抗とで接続し、一方のMOSトランジスタのドレインに入力信号を加え、残る片方のMOSトランジスタのドレインに入力信号の逆極性の波形を加えるいわゆる加算回路において、2つのMOSトランジスタのゲート電圧を入力信号波形と相似形の波形として、MOSトランジスタのソース・ドレイン抵抗を入力に比例した変化をさせて、入力波形の2乗波形を得る。

## 【0006】

【作用】本発明によれば、2乗波形即ち歪み補正波形の振幅は、入力波形の振幅によってのみ影響され、周波数には依存しない。

## 【0007】

【実施例】本発明の第1の実施例を図1及び図2を用いて説明する。図1において、MOSトランジスタ1のドレイン電極は正入力端子に接続され、ソース電極はオペアンプ4の反転入力端子に接続されている。MOSトランジスタ2のドレイン電極は負入力端子に接続され、ソース電極4はオペアンプ4の反転入力端子に共通に接続されている。ここで正入力端子に加わる入力信号 $V_{in}$ の逆極性の信号 $-V_{in}$ が負入力端子に加えられる。オペアンプ4の非反転入力端子は基準電位へ、出力端子はMOSトランジスタ3のソース電極へ接続されている。MOSトランジスタ3のドレイン電極は、オペアンプ4の反転入力端子へ接続されている。MOSトランジスタ3のゲート電圧は、固定電圧 $V_c$ に接続されているので、MOSトランジスタ3は定抵抗と同一の働きをする。従って、MOSトランジスタ3は抵抗体で置き換えることもできる。

【0008】入力信号 $V_{in}$ と相似な波形を $V_c$ とし、グランド電位を $V_c$ とすると、MOSトランジスタ1のゲート電極には $V_c - V_{in}$ の電圧が、MOSトランジスタ2のゲート電極には $V_c + V_{in}$ の電圧が印加される。以下、まず回路の入出力特性を説明する。

3

【0009】MOSトランジスタ1、2、3のゲート・ソース間電圧を各々 $V_{GS1}$ 、 $V_{GS2}$ 、 $V_{GS3}$ 、閾値電圧を $V_{TH}$ 、MOSトランジスタの電圧-電流変換係数を $K$ と

$$R_1 = 1 / \{ K \cdot (V_{GS1} - V_{TH}) \} , R_2 = 1 / \{ K \cdot (V_{GS2} - V_{TH}) \} ,$$

$$R_3 = 1 / \{ K \cdot (V_{GS3} - V_{TH}) \} \quad \cdots (1)$$

で表わされる。

【0010】一方、図1の回路の入出力特性は、一般に※

$$V_{in} / R_1 - V_{in} / R_2 = -V_{out} / R_3 \quad \cdots (2)$$

で表わすことができる。(1)式を(2)式に代入する★ ★と、

$$V_{in} \cdot K \cdot \{ (V_{GS1} - V_{TH}) - (V_{GS2} - V_{TH}) \} = -K \cdot (V_{GS3} - V_{TH}) \cdot V_{out} \quad \cdots (3)$$

ここで、

$V_{GS1} = V_G - V_s$ 、 $V_{GS2} = V_G - V_s$ 、 $V_{GS3} = V_G$ で☆

$$2 \cdot V_{in} \cdot V_s = (V_G - V_{TH}) \cdot V_{out} \quad \cdots (4)$$

$V_s$ は $V_{in}$ の相似波形として、その比例係数を $\alpha$ とする◆ ◆と

$$\alpha \cdot V_{in}^2 = (V_G - V_{TH}) \cdot V_{out} \quad \cdots (5)$$

即ち、出力には入力 $V_{in}$ の2乗波形が得られる。

【0011】図2は、図1の回路での各部の波形を示したものである。ここで、 $V_{in}$ は時間の経過と共に直線的に上昇するか、又は直線的に下降している。 $V_s$ は $V_{in}$ に比例係数 $\alpha$ をかけたもので、 $V_G + V_s$ がMOSトランジスタ2のゲート・ソース間へ、 $V_G - V_s$ がMOSトランジスタ1のゲート・ソース間へ加えられている。出力電圧 $V_{out}$ は入力 $V_{in}$ の上昇区間と、下降区間の各々に応じて2乗波形となっている。ここで、出力の振幅は(5)式から明かなように入力電圧にのみ依存し、周波数や傾きには無関係である。

【0012】本発明の第2の実施例を図3、図4を用いて説明する。図3の回路で、MOSトランジスタ1、2、3、オペアンプ4からなる部分は図1の回路と同一である。前段の部分は抵抗5、6、7、8、9、10、11、12から構成される分圧回路と、オペアンプ27、28、抵抗13、14、15、16、17、18、19、20からなるシングルエンド差動変換回路と、スイッチ21、22、23、24、25、26からなる信号切換回路の3つの部分から構成されている。

【0013】以下、入力側から順を追って回路動作を説明する。前記信号切換回路のスイッチ21～26は各々切換制御信号 $S_1 \sim S_6$ で制御される。 $S_1$ は入力信号の奇数番目の立上り区間でスイッチ21をオンする。 $S_2$ は入力信号の奇数番目の立下り区間と、偶数番目の立上り区間でスイッチ23をオンする。 $S_3$ は偶数番目の立下り区間でスイッチ25をオンする。残る $S_4$ 、 $S_5$ 、 $S_6$ は $S_1$ 、 $S_2$ 、 $S_3$ に1周期遅れた動作をする。即ち $S_4$ は入力信号の偶数番目の立上り区間でスイ

\*とする。MOSトランジスタのドレイン-ソース間電圧が十分小さいときには、MOSトランジスタの抵抗 $R_1 \sim R_3$ は一般的に、

※加算器と呼ばれるように

\* ッチ22をオンする。 $S_4$ は入力信号の偶数番目の立下り区間と、奇数番目の立上り区間でスイッチ24をオンする。 $S_5$ は奇数番目の立下り区間でスイッチ26をオンする。したがって前記信号切換回路の出力 $V_1$ は入力信号の奇数番目の立上り区間では入力信号と同一に、奇数番目の立下り区間と、偶数番目の立上り区間では $V_1$ と同一電圧に、偶数番目の立下り区間では $V_{in}$ と同一電圧になる。同様に前記信号切換回路の出力 $V_2$ は、入力信号の偶数番目の立上り区間では入力信号と同一に、偶数番目の立下り区間と奇数番目の立上り区間では $V_2$ と同一電圧に、奇数番目の立下り区間では $V_{in}$ と同一電圧になる。

【0014】次にシングルエンド差動変換回路では、 $V_1$ と $V_2$ の減算を行っている。一般的にこの回路の入出力特性は、出力を $V_3$ 、 $V_4$ として抵抗13～20が全て等しいとすると、 $V_3 = (V_1 - V_2)$ 、 $V_4 = -(V_1 - V_2)$ で表わすことができる。 $V_3$ と $V_4$ は $V_1$ に対して極性の反転した信号となる。

【0015】次の分圧回路では、シングルエンド差動変換回路の出力を分圧する。分圧する理由はMOSトランジスタ1、2の線形動作範囲が狭いためである。同時にこの分圧回路では、MOSトランジスタ1、2のゲート電圧を作り出す。ゲート電圧は前述したごとく、 $V_G$ の電位を中心とする、入力信号と相似形の信号になっている必要がある。

【0016】MOSトランジスタ1のドレイン電圧 $V_{D1}$ とMOSトランジスタ2のドレイン電圧 $V_{D2}$ は、抵抗7、8、11、12の抵抗値を各々 $R_7$ 、 $R_8$ 、 $R_{11}$ 、 $R_{12}$ として、

$$V_{D1} = V_G \cdot R_8 / (R_7 + R_8) \quad \cdots (6)$$

$$V_{D2} = V_G \cdot R_{12} / (R_{11} + R_{12}) \quad \cdots (7)$$

MOSトランジスタ1のゲート電圧 $V_7$ とMOSトランジスタ2のゲート電圧 $V_8$ は抵抗5、6、9、10の抵抗値を各々 $R_5$ 、 $R_6$ 、 $R_9$ 、 $R_{10}$ とすると、

$$V_7 = V_{D1} \cdot R_6 / (R_5 + R_6) + V_{D2} \cdot R_5 / (R_5 + R_6) \quad \cdots (8)$$

$$V_8 = V_{D2} \cdot R_{10} / (R_9 + R_{10}) + V_{D1} \cdot R_9 / (R_9 + R_{10}) \quad \cdots (9)$$

5

$R_1 = R_2$ 、 $R_3 = R_{10}$ とすると、(8)式と(9)式から分かるように、 $V_{c1}$ 、 $V_{c2}$ は一定電圧 $V_{GS} \cdot R_3 / (R_1 + R_3) = V_c$ を中心として、各々 $V_{c1}$ 、 $V_{c2}$ を分圧した信号が出力される。

\*

$$\alpha = R_3 \cdot R_{11} / (R_1 + R_{10}) \cdot (R_{11} + R_{12}) \quad \dots (10)$$

(5) 式の $V_{in}$ は入力の上り下の区間についてのみ

$$V_{in} \cdot R_3 / (R_1 + R_3) = V_{in+} - V_{in-} \quad \dots (11)$$

となり、(5)式から出力には入力の2乗波形が得られる。入力の立下り区間については $V_{c1}$ 、 $V_{c2}$ 、 $V_{c1}$ 、 $V_{c2}$ は、前述したスイッチ21～26によってピーク値に

クランプされているので、出力値もピーク値にクランプされている。  
【0018】図3の回路は以上述べたごとく、入力の立下り区間についてのみ2乗波形を出力し、時間の短い入力の立下り区間については、出力は一定値となり2乗波形を出さない。テレビ等のCRTの歪み補正波形発生回路においては、立下り区間は帰線区間と呼ばれる画面に画像が見えない区間であるため、2乗波形は元来不要であり、また立下り区間に2乗波形が出力されている場合には、その影響が立下り区間の2乗波形に及ばないように

後段に接続される増幅回路の周波数特性を比較的高い周波数まで増幅するようにする必要がある。  
【0019】図3の回路をCRTの歪み補正波形発生回路に適用すれば、後段に接続される増幅回路の周波数特性は比較的低い周波数を増幅するものでよい。

【0020】

【発明の効果】以上説明したように、本発明によればM※

6

\*【0017】(5)式の $\alpha$ は、入力信号も(6)式、(7)式で分圧されていることも考慮すると、 $R_1 = R_{11}$ 、 $R_3 = R_{12}$ のとき

※OSトランジスタを用いてCRTの歪み補正波形発生回路が実現できる。さらにスイッチもMOSトランジスタで容易に実現可能な為、MOS形集積回路に適用した場合には、外付けでキャパシタの切換機能等を付加することなく、CRTの歪み補正波形発生回路が構成できるといふ効果がある。

【0021】さらに、帰線区間の出力を一定値にクランプすることができ、不要な高周波の波形を出力しない為、後段に接続される回路の周波数特性を緩和できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す。

【図2】図1の回路の各部の動作波形を示す。

【図3】本発明の第2の実施例を示す。

【図4】図3の回路の各部の動作波形を示す。

【符号の説明】

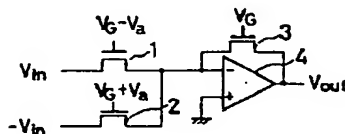
1、2、3 MOSトランジスタ

4 オペアンプ

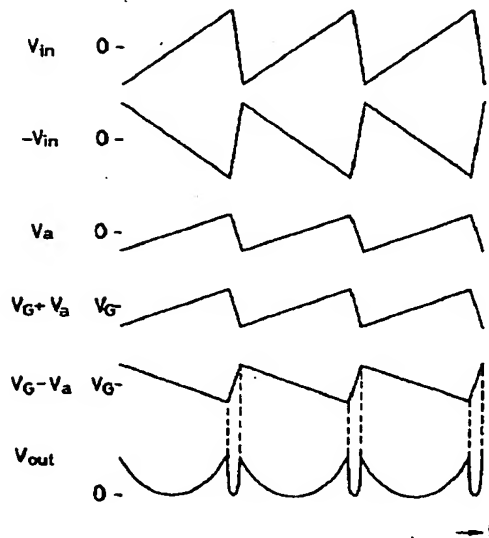
5～20 抵抗器

21～26 スイッチ

【図1】



【図2】



[illegible]

The timing diagram illustrates the operation of the 74LS161 counter. The horizontal axis represents time, divided into four clock periods labeled  $2n+1$ ,  $2n+2$ ,  $2n+3$ , and  $2n+4$ . The vertical axis lists the signals:  $V_{BP}$ ,  $V_{in}$ ,  $V_B$ ,  $V_{BN}$ ,  $S_a$ ,  $S_b$ ,  $S_c$ ,  $S_d$ ,  $S_e$ ,  $S_f$ ,  $V_a$ ,  $V_b$ ,  $V_c$ ,  $V_{in}^+$ ,  $V_d$ ,  $V_{in}^-$ ,  $V_e$ ,  $V_f$ , and  $V_{out}$ .

- $V_{BP}$  and  $V_B$  are sawtooth waves representing the clock signal.  $V_{BN}$  is the complement of  $V_B$ .
- $S_a$  through  $S_f$  are output signals that change state at specific clock edges.  $S_a$  and  $S_b$  are high for most of the cycle, while  $S_c$ ,  $S_d$ ,  $S_e$ , and  $S_f$  are high for specific intervals.
- $V_a$  through  $V_f$  are output signals that change state at specific clock edges.  $V_a$  and  $V_b$  are high for most of the cycle, while  $V_c$ ,  $V_d$ ,  $V_e$ , and  $V_f$  are high for specific intervals.
- $V_{in}^+$  and  $V_{in}^-$  are input signals that change state at specific clock edges.
- $V_d$  and  $V_e$  are output signals that change state at specific clock edges.
- $V_f$  is an output signal that changes state at specific clock edges.
- $V_{out}$  is the final output signal, which is high for most of the cycle and low for specific intervals.

フロントページの続き

(51)Int.Cl.

H04N 3/23

// G06F 101:18

識別記号

庁内整理番号

F I

技術表示箇所

Z 7337-5C

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成11年(1999)7月9日

【公開番号】特開平6-208424

【公開日】平成6年(1994)7月26日

【年通号数】公開特許公報6-2085

【出願番号】特願平5-1272

【国際特許分類第6版】

G06F 1/02

G09G 1/00

1/04

1/16

H04N 3/23

// G06F 101:18

【F I】

G06F 1/02

G09G 1/00

K

H

1/04

1/16

A

H04N 3/23

Z

【手続補正書】

【提出日】平成10年6月1日

【手続補正1】

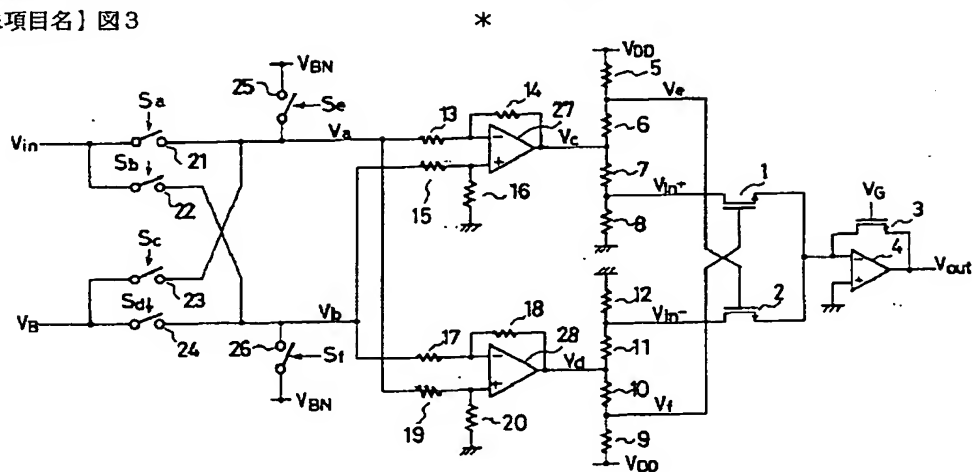
【補正対象書類名】図面

【補正対象項目名】図3

\* 【補正方法】変更

【補正内容】

【図3】



【手続補正2】

【補正対象書類名】図面

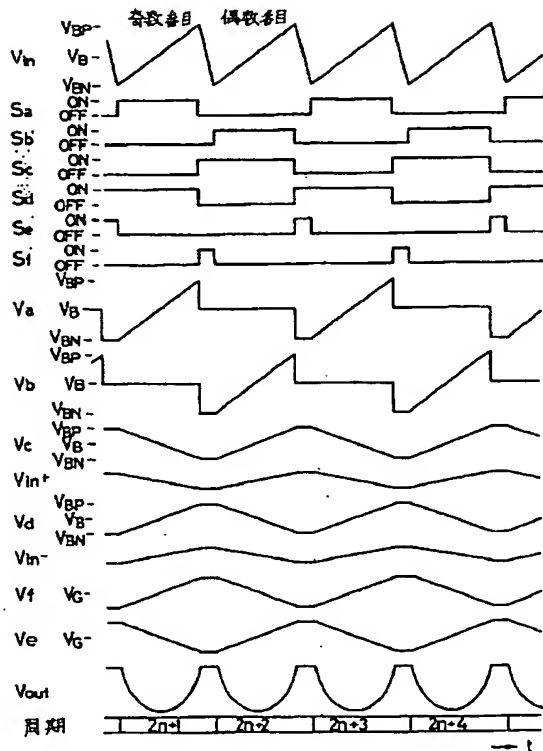
【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】





【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】 従来、CRTの偏向電流の歪み補正回路としては、例えば、日本放送協会編「NHKテレビ技術教科書（上）」P.233～P.234(1989)に見られるように、偏向コイルとキャパシタとの共振を利用して、歪み\*

$$\alpha = R_9 \cdot R_{12} / (R_9 + R_{10}) \cdot (R_{11} + R_{12}) \quad \dots (10)$$

(5) 式の $V_{in}$ は入力の上り区間についてのみ

$$V_{in} \cdot R_8 / (R_7 + R_8) = V_{in+} = V_{in-} \quad \dots (11)$$

となり、(5)式から出力には入力の2乗波形が得られる。入力の立下り区間については $V_c$ 、 $V_d$ 、 $V_e$ 、 $V_f$ は、前述したスイッチ21～26によってピーク値に

\* 補正波形としての2乗波形（バラボラ波形）を得る回路方式が知られていた。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【実施例】本発明の第1の実施例を図1及び図2を用いて説明する。図1において、MOSトランジスタ1のドレイン電極は正入力端子に接続され、ソース電極はオペアンプ4の反転入力端子に接続されている。MOSトランジスタ2のドレイン電極は負入力端子に接続され、ソース電極はオペアンプ4の反転入力端子に共通に接続されている。ここで正入力端子に加わる入力信号 $V_{in}$ の逆極性の信号 $-V_{in}$ が負入力端子に加えられる。オペアンプ4の非反転入力端子は基準電位へ、出力端子はMOSトランジスタ3のソース電極へ接続されている。MOSトランジスタ3のドレイン電極は、オペアンプ4の反転入力端子へ接続されている。MOSトランジスタ3のゲート電圧は、固定電圧 $V_G$ に接続されているので、MOSトランジスタ3は定抵抗と同一の働きをする。従って、MOSトランジスタ3は抵抗体で置き換えることもできる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】(5)式の $\alpha$ は、入力信号も(6)式、(7)式で分圧されていることも考慮すると、 $R_7 = R_{11}$ 、 $R_8 = R_{12}$ のとき

クランプされているので、出力値もピーク値にクランプされている。